

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-116825

(43)Date of publication of application : 12.07.1983

(51)Int.Cl.

H04L 1/08

H04L 7/08

(21)Application number : 56-213741 (71)Applicant : FUJITSU LTD

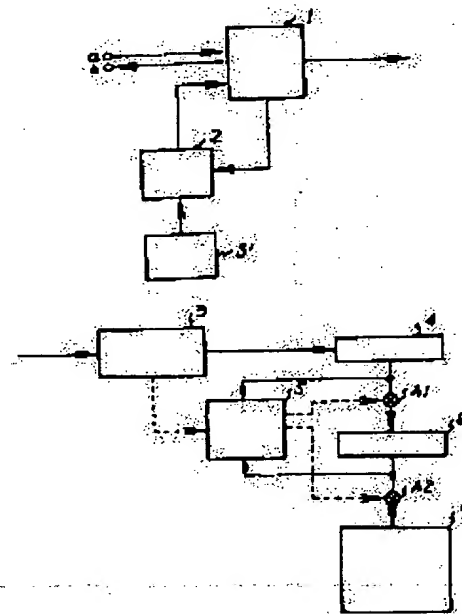
(22)Date of filing : 29.12.1981 (72)Inventor : HAYASHI NARUHIRO
KUSAYANAGI SHUFU
OKANO TATSUO
YANO TSUNEJI

(54) INFORMATION SUCCESSIVE COLLATION SYSTEM

(57)Abstract:

PURPOSE: To eliminate erroneous reception of information by making the prescribed frequency of successive coincidence collation on a reception side greater than the number of front protection stages of the frame synchronizing circuit of this reception side.

CONSTITUTION: At a transmission side, a latch circuit 2 sends out the same information A until it is rewritten by a processing part S'. Once this information A is received at the reception side, the frame synchronizing circuit 3 performs frame synchronization and the information A is inputted through a serial/parallel converter 4 to a comparator 5, which compares the input with the output of a latch circuit 6. When they coincide with each other, a counter 1 in the comparator 5 is allowed to go up by one. When the counted value of the counter reaches a prescribed number (m), the data of the circuit 6 is signified. At this time, the comparator 5 opens a gate A2 to send the information to a data processing part 7. When the number of front protection stages of the circuit 3 is denoted as (n), the counted value of the counter in the comparator 5 is set to m+1, i.e. greater than the number of front protection stages.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision]

of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—116825

⑬ Int. Cl.³
H 04 L 1/08
7/08

識別記号

庁内整理番号
6651—5K
7608—5K

⑭ 公開 昭和58年(1983)7月12日

発明の数 1
審査請求 有

(全 3 頁)

⑮ 情報連照方式

⑯ 特 願 昭56—213741

⑰ 出 願 昭56(1981)12月29日

⑱ 発 明 者 林成宏
川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 発 明 者 草柳秋風
川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 発 明 者 岡野達夫
川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 発 明 者 矢野恒二
川崎市中原区上小田中1015番地
富士通株式会社内

⑳ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称 情報連照方式

2. 特許請求の範囲

送信側から同一情報を複数回送出し、受信側で該同一情報を受信し、該同一情報が所定回連続一致照合したときのみ、その情報を有効とする情報連照方式において、該受信側での所定回連続一致照合の回数を該受信側のフレーム同期回路の前方保護段数よりも多くしたことを特徴とする情報連照方式。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は、フレーム同期方式により送信側から同一情報を複数回送出し、受信側で複数回連続一致照合し、かつ同期外れが起きてないときのみ、その情報を有効とする情報連照方式に係り、特に、信頼性をより高めた情報連照方式に関する。

(b) 技術の背景

近年、通信の分野では、送信側からの情報

を受信側で誤受信することがないようにし、信頼性を高めることが要求されている。送信側から同一情報を複数回送出し、受信側で複数回連続一致した場合に、その情報を有効とする情報連照方式においても例外でなく、確実に送信側からの情報が受信側で誤受信することがないようにし、信頼性を高めることが要求される。

(c) 従来技術と問題点

従来の情報連照方式においては、受信側における連続照合回数は、おおよそ2回とされており、送信側からの情報が2回一致すると有効な情報としてデータ処理部に送るものであった。一方、フレーム同期回路における前方保護段数(すなわち、1度同期がはずれた場合に、すぐ同期外れとはせず、複数回連続して同期が外れた場合に同期外れとするその同期外れの連続回数)は、伝送路の誤り率等により3段以上に設定される場合が多い。このような場合には、次のような欠点が生じる。

特開昭58-116825 (2)

すなわち、伝送路の擾乱が発生して、フレーム同期回路が同期外れ信号を出すまでの間に、すでに送信側からの情報が有効な情報としてデータ処理部に送られ、連続2回一致がとれるという可能性が多く、情報の信頼性が低いものであった。

(d) 発明の目的

本発明は、かかる従来の欠点を除去する如く、受信側において、同期外れ時及び同期外れが起きる瞬間においても情報の誤受信をすることがない信頼性の高い情報連照方式を提供することを目的とする。

(e) 発明の構成

送信側から同一情報を複数回送出し、受信側で該同一情報を受信し、該同一情報が所定回連続一致照合したときのみ、その情報を有効とする情報連照方式において、該受信側で所定回連続一致照合の回数を該受信側のフレーム同期回路の前方保護段数よりも多くしたことを特徴とするものである。

情報である。また、これだけに限らず、1フレーム構成が同期フラグF及び情報Aのみからなる情報であってもよい。

ここでは、一部の情報(情報A)を対象とした場合について、送信側及び受信側についてその動作を説明する。

フレーム構成部1が端子b及びラッチ回路2にクロックを供給するとフレーム構成部1に入力端子aから情報Bが入力し、ラッチ回路2から情報Aが入力し、フレーム構成部1は、第1図に示す情報を伝送路gに送出する。ラッチ回路2では、フレーム構成部からのクロックにより、ラッチしている情報を再び、フレーム構成部1に出力する。このラッチ回路2から出力される情報は、処理部8から書き換えが行われるまで、同一情報が、出力されることになる。すなわち、フレーム構成部1の出力は、ラッチ回路2の情報が、処理部8から書き換えられるまで、伝送路に同一情報を送出する。

(f) 発明の実施例

第1図乃至第3図を用いて本発明の情報連照方式を説明する。

第1図は、本発明で対象としているフレームの構成を示す図である。図においてFは同期フラグ、Aは今、連照の対象としている情報、(以下、情報A)、Bはその他の情報(以下、情報B)である。

第2図は送信側回路構成例を示す図である。図において、1はフレーム構成部、2はラッチ回路、8は処理部である。

第3図は受信側回路構成例を示す図である。図において、3はフレーム同期回路、4はシリアル/パラレル変換回路(以下、S/P変換回路)、5は比較器、6はラッチ回路、7はデータ処理部、A1及びA2はゲートである。

本発明の情報連照方式で対象にしている情報は、第1図に示すように、1フレーム構成が同期フラグF及び情報A、情報Bからなる

この情報を受信側で受信すると、まずフレーム同期回路3により、フレーム同期がとられるとともに、連照の対象としている情報AをS/P変換装置4に送出する。

S/P変換装置4では、情報Aをシリアル/パラレル変換した後、この情報を並列出力する。そして、この情報は、比較器5に入力され、ラッチ回路6の出力と比較される。ここで、一致している場合には、比較器5内のカウンタを1だけカウントアップする。また、一致していないときには、ゲートA1を開き、その情報をラッチ回路6に格納されると同時に比較器5内のカウンタをリセットする。

そして、比較器5内のカウンタのカウント値が所定数mとなったとき、すなわちm+1回連続一致情報を受信したとき、ラッチ回路5のデータは有効とみなされる。このとき、比較器5はゲートA2を開き、情報をデータ処理部7に送る。

ここで、フレーム同期回路3の前方保護段

特開昭58-116825 (3)

数を n とすると、比較器 5 内のカウンタのカウント値は、 $m+1 > n$ 、すなわち、前方保護段数より多くとる。また、比較器 5 内のカウンタは、フレーム同期回路 3 の同期外れ信号によってもリセットされるようになっている。

チ回路、3 はフレーム同期回路、4 はシリアル／パラレル変換回路、5 は比較器、7 はデータ処理部である。

代理人 弁理士 松岡宏四郎

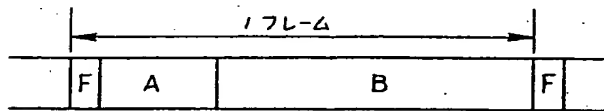
(g) 発明の効果

以上の説明から明らかな如く、本発明によれば、伝送路が切れた場合や、伝送路のじょう乱により同期はずれが起きる過渡的な場合にも、一致カウンタがリセットされ誤ったデータがデータ処理部に取り込まれることがないので、信頼性の高い情報連照方式を提供することができる。

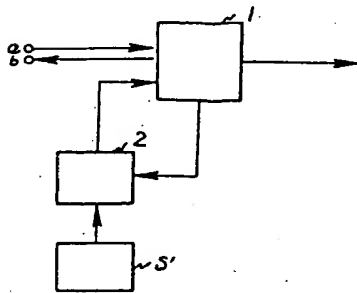
4. 図面の簡単な説明

第 1 図は本発明で対象としているフレームの構成を示す図、第 2 図は送信側回路構成例を示す図、第 3 図は受信側回路構成例を示す図である。

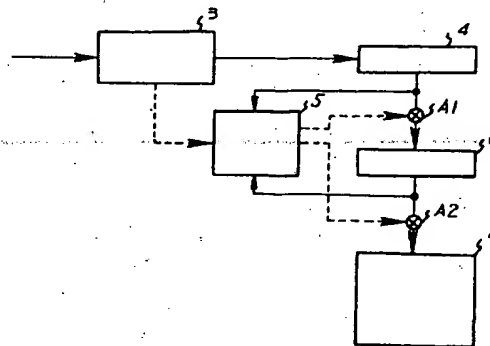
図中、1 はフレーム構成部、2 及び 6 はラッ



第 1 図



第 2 図



第 3 図